

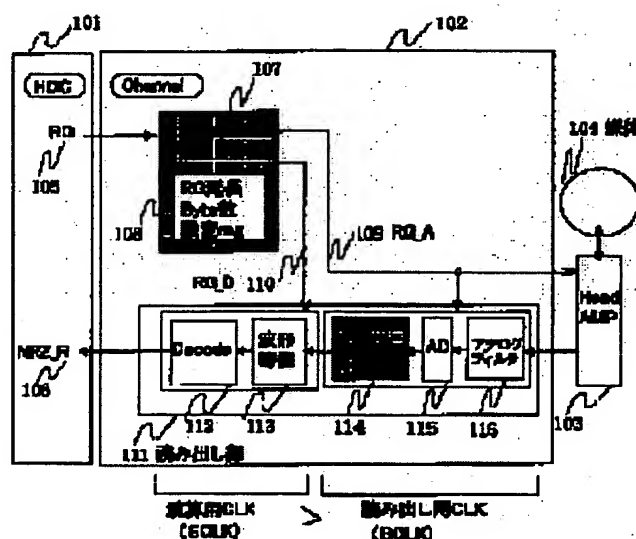
DATA CONTROL PROCESSING DEVICE OF DISK DEVICE

Patent number: JP2000298934
Publication date: 2000-10-24
Inventor: OGAWA HITOSHI; NISHITANI TAKUJI; NISHINA MASATOSHI; YAMAKAWA HIDEYUKI; YAMAMOTO KATSUMI; GOTO HIROYUKI
Applicant: HITACHI LTD
Classification:
 - International: G11B20/10
 - european:
Application number: JP19990104888 19990413
Priority number(s):

Abstract of JP2000298934

PROBLEM TO BE SOLVED: To reduce delay and eliminate the need for doubling a circuit for absorbing the delay by arranging a delay absorbing FIFO for absorbing a delay in writing/a delay in reading, and making the device calculate arithmetic operation parts of an encoding/decoding parts causing a delay with a clock faster than a medium clock.

SOLUTION: An RG 105 showing a section for reading a sector data from a medium is processed by an RG control circuit 107 in the Channel. RG-A 109 shows a read section of the sector of a medium, and RG-D 110 showing a decoding period is delayed according to the value of RG extension Byte figure setting Reg 108. A sampling result by an AD converter 115 is fetched into a read WAIT FIFO 114, and a decode processing is operated by a waveform equalization 113 and a Decode 112 by using a numeric value fetched from said FIFO, and passed on to an HDC 101 via an NRZ-R 106. A clock faster than a read clock is used for this part as a clock for arithmetic operation.



Data supplied from the esp@cenet database - Worldwide

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-298934
(P2000-298934A)

(43)公開日 平成12年10月24日(2000.10.24)

(51) Int.Cl.7

識別記号

FI

テーマコード・(参考)

G 1 1 B 20/10

G 1 1 B 20/10

A 5D044

審査請求 未請求 請求項の数15 OL (全 11 頁)

(21)出願番号 特願平11-104888

(22) 出願日 平成11年4月13日(1999.4.13)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小川 仁

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 西谷 卓史

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74) 代理人 100075096

弁理士 作田 康夫

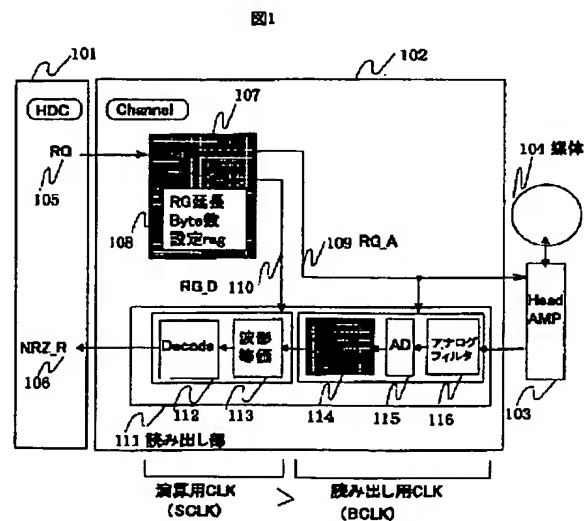
最終頁に続く

(54) 【発明の名称】 ディスク装置のデータ制御処理装置

(57) 【要約】

【課題】本発明はディスク装置の書き込み遅延、読み出し遅延を回路規模の大幅な増加をなしに実現する。

【解決手段】書き込み用遅延吸収FIFO、読み出し用遅延吸収FIFOと、遅延吸収のために媒体転送速度を上回る演算用クロックで符号化／複合化回路を動作させる仕組みを設けたものである。また、書き込み／読み出しタイミングの信号を内部生成させる。



1

【特許請求の範囲】

【請求項1】円板状データ記録媒体と、
前記円板状データ記録媒体を回転する駆動部と、
前記円板状データ記録媒体に記録されたデータの読み出しと書き込みを行なうヘッドと、
前記ヘッドを目的の位置までに移動するためのヘッド駆動部からなる機構部と、
前記円板状データ記録媒体上に前記ヘッドでデータを読み書きするリード／ライトチャネルと、
データ処理をおこなうHDC回路からなるディスク装置に 10
おいて、

前記リード／ライトチャネルでのセクタリード時、前記円板状データ媒体からの読み出しデータをアナログ処理回路とデジタル処理回路間に読み出し待ち用FIFOを設けたことを特徴とするディスク装置。

【請求項2】請求項1記載のディスク装置において、当該ディスク装置を構成する回路のうち、アナログ処理回路の動作クロックは読み出しクロックを使い、デジタル処理回路には演算用クロックを用いることを特徴とするディスク装置。

【請求項3】請求項2記載のディスク装置において、前記アナログ処理回路の動作クロックの動作周波数より、前記デジタル処理回路の演算用クロックの動作周波数が高いことを特徴とするディスク装置。

【請求項4】請求項1記載のディスク装置において、読み出しタイミングを前記HDC回路から前記チャネルに伝えるリードゲートは、前記チャネルのアナログ処理回路の動作タイミングを指定することを特徴とするディスク装置。

【請求項5】請求項4記載のディスク装置において、 30
前記リードゲートから前記チャネル内でデジタル処理回路用の動作タイミングを生成することを特徴とするディスク装置。

【請求項6】請求項5記載のディスク装置のデータ制御処理装置において、チャネル内でデジタル処理回路用の動作タイミングは、読み出しタイミングをHDCからチャネルに伝えるRG(Read Gate)の立ち上がり／立ち下がりエッジからの遅延時間で指定することを特徴とするディスク装置のデータ制御処理装置。

【請求項7】円板状データ記録媒体と、前記媒体を回転 40
するための駆動部と、データの読み出しと書き込みを行なうヘッドを持ち、前記ヘッドを目的の位置までに移動するためのヘッド駆動部からなる機構部と、前記媒体上に前記ヘッドでデータを読み書きすることを実現するためのリード／ライトチャネル、データ処理をおこなうHDC(HardDisk Controller)回路からなるディスク装置において、セクタライト時、媒体への書き込み回路においてデータの書き込み待ち用FIFOを設けたことを特徴とするディスク装置のデータ制御処理装置。

【請求項8】請求項7記載のディスク装置のデータ制御 50

2

処理装置において、アナログ処理回路の動作クロックは書き込みクロック(BCLK)を使い、デジタル処理回路の動作クロックは演算用クロック(SCLK)を用いることを特徴とするディスク装置のデータ制御処理装置。

【請求項9】請求項8記載のディスク装置のデータ制御処理装置において、アナログ処理回路の動作クロック(BCLK)に対しデジタル処理回路の演算用クロック(SCLK)が動作周波数が高いものを用いることを特徴とするディスク装置のデータ制御処理装置。

【請求項10】請求項7記載のディスク装置のデータ制御処理装置において、書き込みタイミングをHDCからチャネルに伝えるWG(Write Gate)は、チャネルのデジタル処理回路の動作タイミングを指定することを特徴とするディスク装置のデータ制御処理装置。

【請求項11】請求項10記載のディスク装置のデータ制御処理装置において、書き込みタイミングをHDCからチャネルに伝えるWG(Write Gate)からチャネル内でアナログ処理回路用の動作タイミングを生成することを特徴とするディスク装置のデータ制御処理装置。

【請求項12】請求項11記載のディスク装置のデータ制御処理装置において、チャネル内の書き込み用アナログ処理回路の動作タイミングは、書き込みタイミングをHDCからチャネルに伝えるWG(Write Gate)の立ち上がり／立ち下がりエッジからの遅延時間で指定することを特徴とするディスク装置のデータ制御処理装置。

【請求項13】請求項1～12記載のディスク装置のデータ制御処理装置において、HDC機能とチャネル機能が一体化したことを特徴とするディスク装置のデータ制御処理装置。

【請求項14】請求項1～12記載のディスク装置のデータ制御処理装置において、書き込み用NRZバスと読み出し用NRZバスを分離したことを特徴とするデータ制御処理装置。

【請求項15】請求項1～12記載のディスク装置のデータ制御処理装置において、これらの機能を搭載したことを特徴とするディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気ディスクなどの円板状記録媒体に対するデータの読み取り、書き込みを行う磁気ディスク装置に関する。

【0002】

【従来の技術】ディスク装置は、近年、小型化、高速化、高機能化、低価格化が急速に進んでいる。特に磁気ディスク装置の大容量化の速度は急速に向上している。これは、装置当りのユーザデータの記録媒体枚数の増加や、媒体の単位面積当りのユーザデータの記録量、これを面記録密度と呼ぶのだが、この増加で実現されている。ここで、面記録密度は、年1.4倍の増加程度で推移している。これを実現するために、近年MR(Mag

netero Registence) ヘッドとよばれる新ヘッドの開発と、PRML (Partial Response Maximum Likelihood) などの新しい信号処理技術の採用があげられる。ここで、磁気ディスク装置のデータの書き込み、読み出し手法について、説明する。

【0003】図10に従来回路構成図を示す。ホストから磁気ディスク装置にデータ書き込み指示が来た場合、通常どおりディスク装置のフォーマット管理を行うHDC101が、データ書き込みセクタを特定する。このセクタをHDCが検出すると、HDCはチャンネル102に対して媒体へのデータ書き込みタイミングを示すWG

(Write Gate) 401と、書き込みデータをNRZバス1001を使って送る。チャンネルでは、HDCからWGアサート期間中にNRZバスから送りこまれる書き込みデータを、チャンネルの書き込み部407で媒体に向くコードに変換したのち、ヘッドアンプ103を経由して磁気ヘッドから媒体104に書き込む。ここで、書き込み部は、Encode 408と書き込み補償409からなる。Encode部は、書き込みデータを媒体に記録するのに向くコード変換をするところであり、書き込み補償部は、読み出し時の媒体からの読み出しデータが干渉するのをあらかじめ補正するためのものである。

【0004】データ読み出し時は、ホストから磁気ディスク装置にデータ読み出し指示が来た場合、通常どおりディスク装置のフォーマット管理を行うHDC101が、データ読み込みセクタを特定する。このセクタをHDCが検出すると、HDCはチャンネルに対して媒体からデータを読み出すタイミングをRG1 (Read Gate1) 1002かRG2 (Read Gate2) 1003を使って指示をし、NRZバス1001から読み出しデータがチャンネルから送られてくることを待つ。チャンネルでは、RG信号 (RG1, RG2) がアサートされている期間だけ、媒体からHead AMPを経由してデータを読み込む。この読み出し信号のノイズをアナログフィルタ116でカットした後、この読み出し波形をADコンバータ115で非同期サンプルしてデジタル化する。このデジタル値をRG1、またはRG2で指定された読み出し部111で復号処理されて、NRZバスを経由してHDCに送られる。ここで、読み出し部では、ADサンプルされた読み出しデータのデジタル値から、波形等価部1005で、読み出しデータの0または1が判定される。次に書き込み時に媒体に向くコードに符号化されているため、その復号化をDecode部1004で行っている。

【0005】ここで、読み出し部が2重化されている理由について図8を使い説明する。

【0006】図8に、従来の媒体と書き込み／読み出し回路タイミングの関係図を示す。図10に示す様に、読み出し部を2重に持つことで、読み出し遅延を回路上で

動作をオーバラップさせることで、媒体のセクタ間ギャップを低減することができる。ここで、ディスク装置の書き込み／読み出し遅延は、高密度記録を実現するにつれて、増加する傾向にある。これはより高密度記録により記録信号品質の低下により処理が複雑化する傾向にあるからである。特に読み出し遅延が顕著で、従来十数バイト程度の遅延であったのが、近近、50バイト程度の遅延になると予想されている。この大きさが、そのままフォーマット効率に効いてくる。1例として、通常ユーザデータ1セクタ512バイト程度とすると、その他エラー訂正符号、PLO, PAD, GAPなどを考慮すると、データセクタは600バイト程度である。これが、50バイトの遅延増加するとすると、フォーマット効率は、現在のフォーマット効率: $512/600 = 85\%$ 、将来のフォーマット効率: $512/650 = 79\%$ 、と劣化が大きくなる。

【0007】そこで、回路側で演算遅延を隠すために、回路の2重化を行なう、1セクタ置きに読む、次セクタも読み込まれるだろうとの想定でとりあえず読み込みを実現する手法が提案されている。これらに関する技術開示として、特開平9-251716、特開平8-315513などが上げられる。

【0008】

【発明が解決しようとする課題】ここで、読み出し部の回路規模が倍化するのに加え、RGの制御信号が2本必要になり、HDCとChannelの端子数が増加する。回路規模の増加はコストの増加をまねく。磁気ディスク装置では年々低価格が進みコストアップは難しい。また、HDCとチャンネルを将来1体化する上でも、ゲート規模はできる限りおさえる必要がある。また、現在、HDC、Channelとの別チップで端子数削減にいつも悩まされており、このような別チップの場合、端子数の増加は好ましくない。また、端子数の問題が解決したとしても、NRZバスが共有化されているため、読み込みから続けて書き込みを行なう様な場合、NRZバスの衝突が発生する。この様な動作はIDフューの様な、1度IDを確認した直後にデータ書き込みを行なう場合が該当する。この点に対して従来例は開示されていない。

【0009】

【課題を解決するための手段】このため本発明では、書き込み遅延／読み出し遅延を吸収するために、遅延吸収用のFIFOを設け、かつ、遅延を引き起こす符号化／復号化部分の演算部分を媒体クロックより早いクロックで演算させることで遅延低減を図ったものである。

【0010】また、制御信号は、HDCからの通常の制御信号からチャンネル側であらかじめ定められた遅延信号を内部生成する仕掛けを設けたものである。

【0011】さらに、ReadからWrite動作を続ける場合、NRZバスを書き込み用と読み出し様に分離

したものである。

【0012】また、表現を変えると本発明は、以下の通りとなる。円板状データ記録媒体と、前記円板状データ記録媒体を回転する駆動部と、前記円板状データ記録媒体に記録されたデータの読み出しと書き込みを行なうヘッドと、前記ヘッドを目的の位置までに移動するためのヘッド駆動部からなる機構部と、前記円板状データ記録媒体上に前記ヘッドでデータを読み書きするリード／ライトチャンネルと、データ処理をおこなうHDC回路からなるディスク装置において、前記リード／ライトチャンネル 10でのセクタリード時、前記円板状データ媒体からの読み出しデータをアナログ処理回路とデジタル処理回路間に読み出し待ち用FIFOを設けたことを特徴とするディスク装置である。

【0013】また、当該ディスク装置を構成する回路のうち、アナログ処理回路の動作クロックは読み出しクロックを使い、デジタル処理回路には演算用クロックを用いることを特徴とするディスク装置でもある。

【0014】また、前記アナログ処理回路の動作クロックの動作周波数より、前記デジタル処理回路の演算用クロックの動作周波数が高いことを特徴とするディスク装置でもある。

【0015】また、読み出しタイミングを前記HDC回路から前記チャンネルに伝えるリードゲートは、前記チャンネルのアナログ処理回路の動作タイミングを指定することを特徴とするディスク装置である。

【0016】また、前記リードゲートから前記チャンネル内でデジタル処理回路用の動作タイミングを生成することを特徴とするディスク装置である。

【0017】また、チャンネル内でデジタル処理回路用 30の動作タイミングは、読み出しタイミングをHDCからチャンネルに伝えるRG(Read Gate)の立ち上がり／立ち下がりエッジからの遅延時間で指定することを特徴とするディスク装置のデータ制御処理装置である。

【0018】さらに、円板状データ記録媒体と、前記媒体を回転するための駆動部と、データの読み出しと書き込みを行なうヘッドを持ち、前記ヘッドを目的の位置までに移動するためのヘッド駆動部からなる機構部と、前記媒体上に前記ヘッドでデータを読み書きすることを実現するためのリード／ライトチャンネル、データ処理をおこなうHDC(HardDisk Controller)回路からなるディスク装置において、セクタライト時、媒体への書き込み回路においてデータの書き込み待ち用FIFOを設けたことを特徴とするディスク装置のデータ制御処理装置である。

【0019】また、アナログ処理回路の動作クロックは書き込みクロック(BCLK)を使い、デジタル処理回路の動作クロックは演算用クロック(SCLK)を用いることを特徴とするディスク装置のデータ制御処理装置である。

【0020】また、アナログ処理回路の動作クロック 40

(BCLK)に対しデジタル処理回路の演算用クロック(SCLK)が動作周波数が高いものを用いることを特徴とするディスク装置のデータ制御処理装置である。

【0021】また、書き込みタイミングをHDCからチャンネルに伝えるWG(Write Gate)は、チャンネルのデジタル処理回路の動作タイミングを指定することを特徴とするディスク装置のデータ制御処理装置である。

【0022】また、書き込みタイミングをHDCからチャンネルに伝えるWG(Write Gate)からチャンネル内でアナログ処理回路用の動作タイミングを生成することを特徴とするディスク装置のデータ制御処理装置である。

【0023】また、チャンネル内の書き込み用アナログ処理回路の動作タイミングは、書き込みタイミングをHDCからチャンネルに伝えるWG(Write Gate)の立ち上がり／立ち下がりエッジからの遅延時間で指定することを特徴とするディスク装置のデータ制御処理装置である。

【0024】また、HDC機能とチャンネル機能が一体化したことを特徴とするディスク装置のデータ制御処理装置である。

【0025】また、書き込み用NRZバスと読み出し用NRZバスを分離したことを特徴とするデータ制御処理装置である。

【0026】また、これらの機能を搭載したことを特徴とするディスク装置である。

【0027】

【発明の実施の形態】以下、本発明の一実施例を磁気ディスク装置に適用した場合について、図1、図2、図3、図4、図5、図6、図7、図9により説明する。もちろん、フロッピディスク装置、光磁気ディスク装置、MD装置等の周辺装置などで実現しても、もちろんかまわない。

【0028】図1に、Read Gate制御機構図を示す。これはデータ読み出し部111を示したものであり、データ読み出し時の読み出し遅延を吸収する仕掛けを示したものである。データ処理を行うHDC101は媒体104に記録されているユーザデータをHead AMP103、Channel102を経由して取り込む。このための信号はRead Gate105とNRZ_R106で行う。HDCはホストの指示に従い、読み出す該当セクタを検出するとRGをアサートする。このRGは、媒体からセクタデータを読み出すための区間を示すものである。このRGは、Channel内のRG制御回路107で加工される。1つはRG_A109で、媒体のセクタの読み出す区間を示すものである。今回はRGと同一である。もう1つは、復号期間を示すRG_D110である。これは、RG信号をRG延長Byte数設定Reg108の値に従い遅延されたものである。該当セクタ情報がHead AMPからChannelに読み込まれている場合を考える。ここでは、アナログフィルタ116で媒体ノイズがカットされた後、数値のデ

7

ィジタル化のためADコンバータ115でサンプリングされ、その結果が読み出しWAIT用FIFO114に取り込まれる。ここまでは、読み出し用クロックで動作する。これ以降、先のFIFOから取り出された数値を利用して復号処理が、波形等価113, Decode112で行われ、NRZ_R106を経由してHDCに渡される。この部位は演算用クロックとして読み出し用クロックより速いクロックが使われる。これにより、復号処理の2重化や、制御信号の増加がなく、読み出し遅延を防ぐことができる。これによりゲート規模の増加を抑さえ、制御信号の増加もない方式を実現することができる。

【0029】図2にRead Gate制御図をしめす。これは、HDCのRGからどのようにRG_AとRG_Dを生成するかを示したものである。本実施例の場合、HDCからのRGは媒体のセクタを読み出すためのタイミングであり、RG_Aと一致している。復号回路はRG_Dで制御されるが、その立ち上がり時間は、RGの立ち上がりからWAIT_CNT202にセットされた値分遅延されから立ち上がる。また、同様に立ち下がりもRG立下り基準でWAIT_CNT値で示される値分遅延されて立ち下がる。これにより、内部信号としてRG_Dの生成をRG信号を基準に作成することができる。ここで、図に示した様に、連続セクタリードを行う場合、(A)点と(B)点の関係がオーバーラップしない様にWAIT_CNT値を設定する必要があるのに注意するのは言うまでもない。

【0030】図3に本実施例のRead Gate制御回路図を示す。これは、図1、図2で説明してきたRG制御回路107の回路ブロック図を示したものである。RG遅延Byte数設定Reg108は、立上がり用301と立下り用302からなり、HDCのRG105を基準にしてRG_D110の生成を行うものである。これはRG立上がり時に立上がり用reg値がデクリメントカウンタにロードされ、システムクロックごとに減算されていく。そして0になった時にRD_Dが立上がる。RG立下り時にも同様に立下り用reg値がデクリメントカウンタにロードされ、0になった時にRG_Dは立下がる。以上によりこれにより、内部信号としてRG_Dの生成をRG信号を基準に作成することができる。

【0031】図4に、Write Gate制御機構図を示す。これはデータ書き込み部407を示したものであり、データ書き込み時の書き込み遅延を吸収する仕掛けを示したものである。データ処理を行うHDC101は媒体104が該当セクタに達した場合、Channel102, Head AMP103を経由してユーザデータを媒体に書き込む。このための信号はWrite Gate401とNRZ_W402で行う。HDCはホストの指示に従い、書き込む該当セクタを検出するとWGをア

8

サートする。このWGは、Channel内のWG制御回路403で加工される。1つはWG_D406で、媒体に書き込むユーザデータの符号化期間とである。今回はWGと同一である。もう1つは、媒体に書き込む期間を示すWG_A405である。これは、WG信号をWG延長Byte数設定Reg404の値に従い遅延されたものである。今、HDCからユーザデータの書き込み指示が出た場合を考える。NRZ_WバスからユーザデータがEncode部408に取り込まれる。ここで、媒体に記録するのに向く符号に変換される、そして、読み出し時の符号間干渉を見越した書き込み補償409を行い、結果を書き込みWait用FIFO410に保存する。ここまでは、演算用クロックであるSystem Clockで動作する。これ以降、該当セクタ位置にヘッドが到達すると、WG_Aが立ち上がり、書き込みクロックに従ってFIFOからHEADAMPを経由してデータが媒体に書き込まれる。これにより、復号処理の2重化や、制御信号の増加がなく、書き込み遅延を防ぐことができる。これによりゲート規模の増加を抑さえ、制御信号の増加もない方式を実現することができる。

【0032】図5にWrite Gate制御図をしめす。これは、HDCのWGからどのようにWG_AとWG_Dを生成するかを示したものである。本実施例の場合、HDCからのWGは符号化するためのタイミングであり、WG_Aと一致している。媒体書き込みはWG_Aで制御されるが、その立ち上がり時間は、WGの立ち上がりからWAIT_CNT502にセットされた値分遅延されから立ち上がる。また、同様に立ち下がりもWG立下り基準でWAIT_CNT値で示される値分遅延されて立ち下がる。これにより、内部信号としてWG_Aの生成をWG信号を基準に作成することができる。ここで、図に示した様に、連続セクタライトを行う場合、(A)点と(B)点の関係がオーバーラップしない様にWAIT_CNT値を設定する必要があるのに注意するのは言うまでもない。

【0033】図6に本実施例のWrite Gate制御回路図を示す。これは、図4、図5で説明してきたWG制御回路403の回路ブロック図を示したものである。WG遅延Byte数設定Reg404は、立上がり用601と立下り用602からなり、HDCのWG401を基準にしてWG_A405の生成を行うものである。これはWG立上がり時に立上がり用reg値がデクリメントカウンタにロードされ、システムクロックごとに減算されていく。そして0になった時にWG_Aが立上がる。WG立下り時にも同様に立下り用reg値がデクリメントカウンタにロードされ、0になった時にWG_Aは立下がる。以上によりこれにより、内部信号としてWG_Aの生成をWG信号を基準に作成することができる。

【0034】図7に本発明の1実施例を示す、HDCチ

9

チャネルの接続図を示す。今まで説明してきた番号と同じ番号は、同一のものを示す。これは、今まで述べてきた基本動作クロックと読み出し時と書き込み時のFIFOの関係を示したものである。ここで、HDCとChannel間でNRZバスが書き込み用のNRZ_W401と読み出し用のNRZ_R106に分離されている。このようにすることにより、データRead時からデータWrite時の媒体オーバーヘッドを低減することができる。HDCとChannelが別チップの場合、NRZ端子数は倍化するが、媒体オーバーヘッド低減に効果がある。将来、HDCとChannelの一体化の場合、NRZ_W、NRZ_Rは内部バスのため、端子本数に影響はなくなる。そこで、このアーキテクチャは、連続Read時、連続Write時、ReadからWriteへ切り替わり時とも、どれでも媒体オーバーヘッドを低減することができる。もちろん、データWrite時からデータRead時への切り替わりは、媒体オーバーヘッドを最小にできるのは従来方式から実現できており、当方式でも実現できる。なぜなら、媒体書き込み／読み出しタイミング制御はHDCの制御実現でき、そこには媒体遅延の影響はないからである。

【0035】図9に本発明の1実施例を示す、媒体と書き込み／読み出し回路タイミングの関係図を示したものである。今まで説明してきたものを媒体データとWG、RG関係からわかりやすく示したものである。(1)は連続書き込みの場合を示したものである。ここでは、HDCからの書き込み指示であるWGは符号化期間を示すWG_Dと一致している。媒体書き込み指示はWG_Aであるが、WGの立上がり、立下がりを基準にしてあらかじめ定められている遅延量i, jに従い、WG_Aが生成される。この時のHDCからの書き込みデータNRZ_Wと媒体への書き込みデータのタイミングは図に示すとおりである。(2)は連続読み出しの場合を示したものである。(1)と同様にRGは、媒体の読み出しタイミングであるRG_Aと一致している。RG_Dが復号化期間を示しており、RGの立上がり、立下がりを基準にしてあらかじめ定められている遅延量m, nに従い、RG_Dが生成される。この時の媒体からの読み出しデータNRZ_Rと媒体の読み出しデータのタイミングは図に示すとおりである。(3)は書き込みから読み出し、または読み出しから書き込みを示したものである。これは、(1)と(2)を媒体を基準にしてあらわしたものである。ここでデータWrite後にデータReadは、図からもわかる様に、NRZバスの衝突はありえない。これに対し、データRead時からWriteは、NRZバスの衝突の可能性があるので、NRZバスをWrite用とRead用に分離することで、媒体のセクタ間ギャップを最小限に押さえることができる。

10

【0036】もちろん、本実施例で記載した方法は、一実施例であり、本実施例で示した書き込み遅延／読み出し遅延回避できれば、それが、ハード、ソフトで実現するのはもちろんかまわない。

【0037】

【発明の効果】以上説明したように、本発明によれば、ディスク装置の書き込み／読み出し遅延をそれぞれFIFOを設けることと、Encode/Decode等の演算に媒体クロック(Byte clock)を上回る演算クロック(System clock)で処理することにより、遅延吸収のために回路の2重化が不要になり、ゲート規模の大幅な増加を防ぐことができる。また、遅延吸収のためにWrite GateやRead Gateの2重化が必要となるが、HDCからの基本のWrite GateやRead Gateから、内部回路でもう一方の制御信号を生成する仕掛けとしたため、新たな制御信号の増加を防ぐことができ、端子の削減にも効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す、ディスク装置のRead gate制御機構図である。

【図2】本発明の一実施例を示す、ディスク装置のRead Gate制御図である。

【図3】本発明の一実施例を示す、ディスク装置のRead Gate制御回路図である。

【図4】本発明の一実施例を示す、ディスク装置のWrite Gate制御機構図である。

【図5】本発明の一実施例を示す、ディスク装置のWrite Gate制御図である。

【図6】本発明の一実施例を示す、ディスク装置のWrite Gate制御回路図である。

【図7】本発明の一実施例を示す、ディスク装置のHDCとチャネルの接続図である。

【図8】従来の一実施例を示す、ディスク装置の従来の媒体と書き込み／読み出し回路タイミングの関係図である。

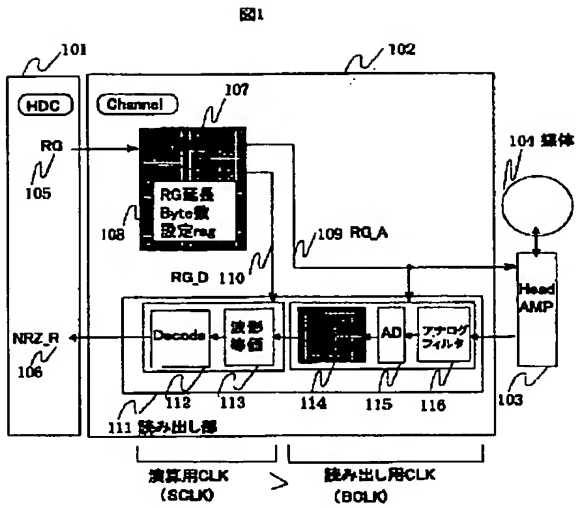
【図9】本発明の一実施例を示す、ディスク装置の媒体と書き込み／読み出し回路タイミングの関係図である。

【図10】従来の一実施例を示す、ディスク装置の従来回路構成図である。

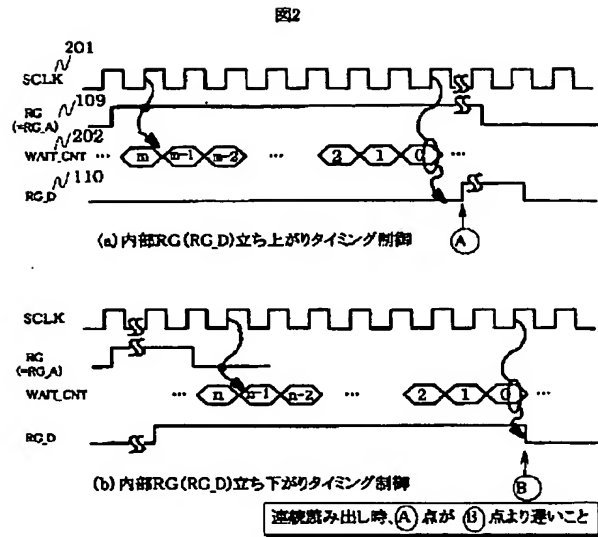
【符号の説明】

101…HDC、
102…Channel、
103…Head AMP、
104…媒体、
105…RG、
106…NRZ_R、
401…WG、
402…NRZ_W。

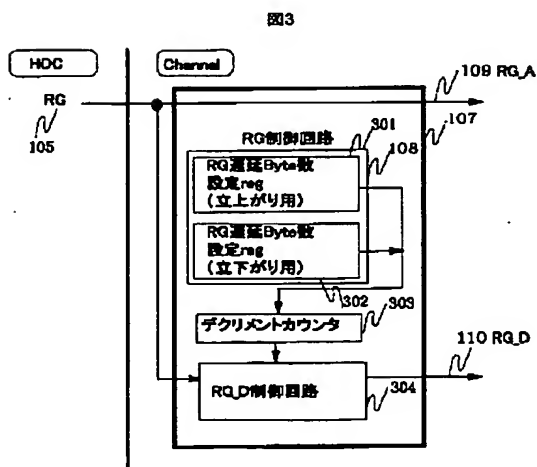
【図1】



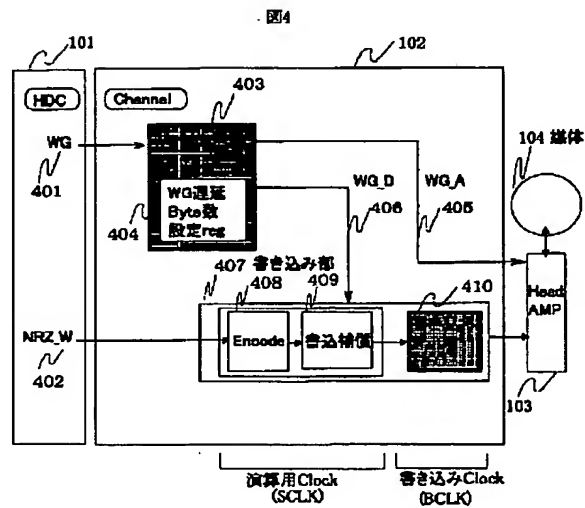
【図2】



【図3】

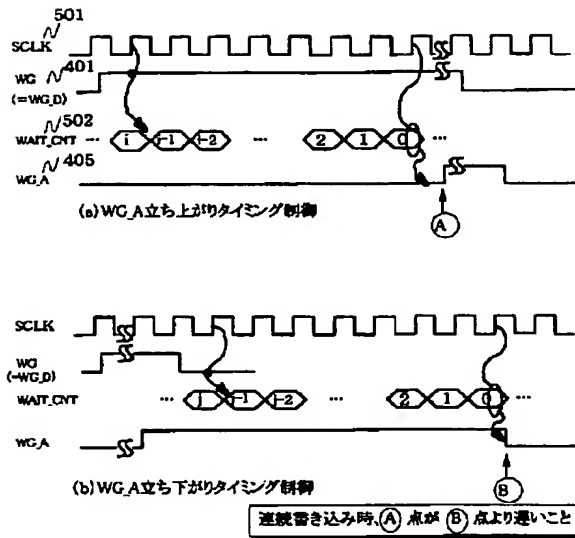


【図4】



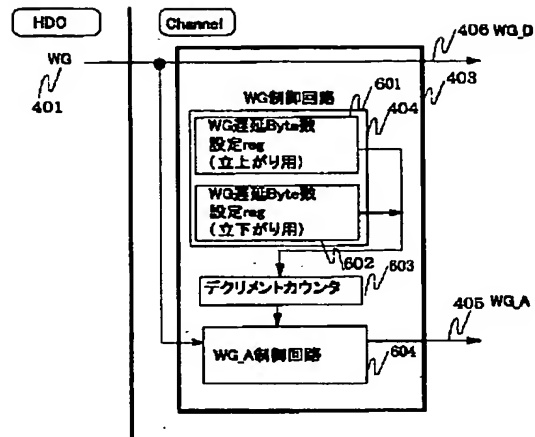
【図5】

図5



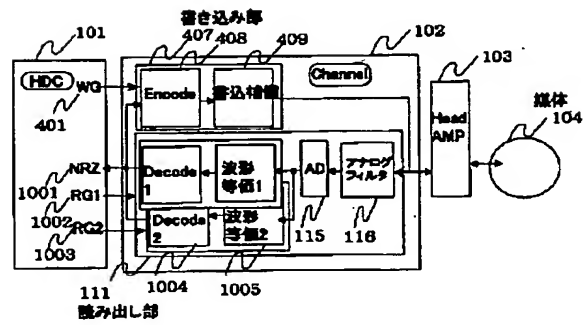
【図6】

図6



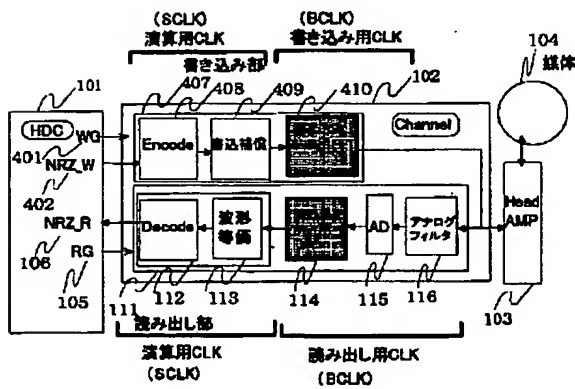
【図10】

図10



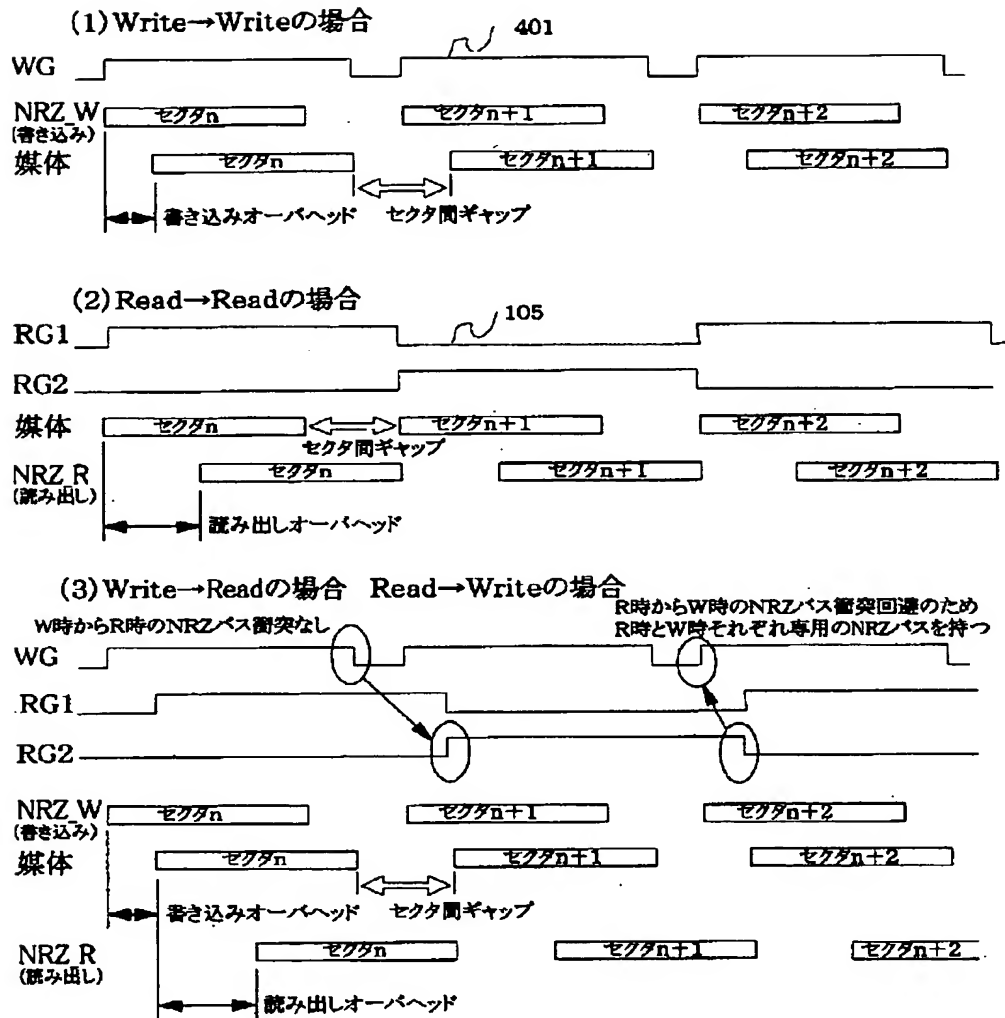
【図7】

図7



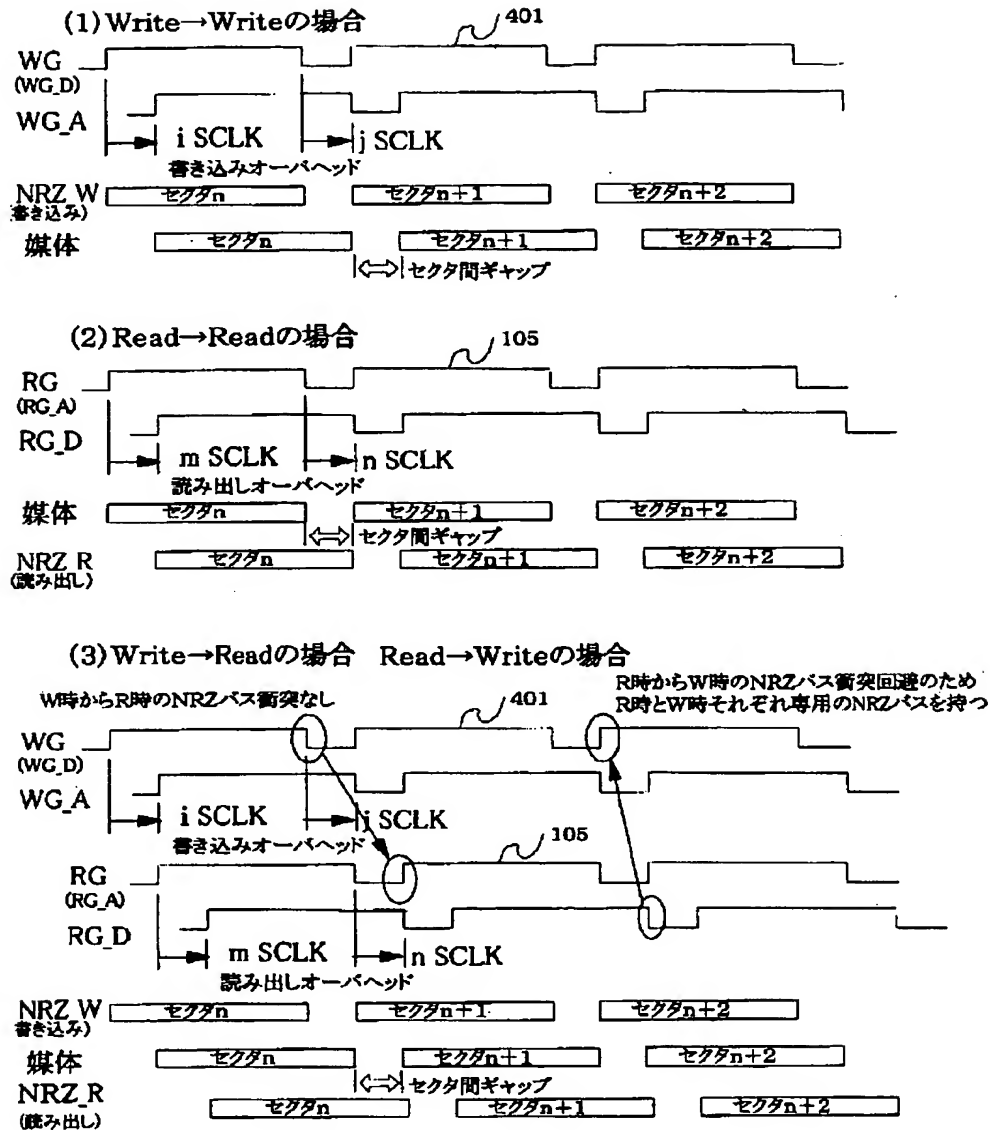
【図8】

図8



【図9】

図9



フロントページの続き

(72) 発明者 仁科 昌俊
 神奈川県小田原市国府津2880番地 株式会社
 日立製作所ストレージシステム事業部内

(72) 発明者 山川 秀之
 神奈川県川崎市麻生区王禅寺1099番地 株
 式会社日立製作所システム開発研究所内

(72) 発明者 山本 克己
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

(72) 発明者 後藤 啓之
 神奈川県川崎市麻生区王禅寺1099番地 株
 式会社日立製作所システム開発研究所内

F ターム(参考) 5D044 BC06 CC04 EF03 FG10 FG21
GK11 GM14 GM17 HL01